

С. А. Быстров, Н. А. Стародубцев

(Институт аналитического приборостроения РАН, Санкт-Петербург)

КОМПРОМИСС МЕЖДУ СЛОЖНОСТЬЮ И УСТОЙЧИВОСТЬЮ К СБОЯМ В АСИНХРОННЫХ ИНТЕРФЕЙСНЫХ СХЕМАХ

Investigation of an approach to method of logic-level synthesis from behavioral specification is discussed. It is based on transformation of intended (initial) behavior given in STG-like form to a behavior having some properties known a priori. Two main classes of circuits and their properties are under consideration. First of them (W class) have maximal persistency: hazards are absent if wire delay is bounded. For the second class (EW class) it is assumed that wire delay as well as delay of first stage of complex gate (e.g. AND-expander for ANDNOR gate) are bounded.

Введение

Несмотря на ряд преимуществ, которыми обладают асинхронные схемы, к асинхронной схемотехнике до сих пор прибегают, как правило, только в тех случаях, когда не остается другой возможности. Одна из причин, на наш взгляд, состоит в распространенности мнения, что асинхронные схемы сложнее синхронных по своей природе.

Цель настоящей работы состоит в первую очередь в том, чтобы рассмотреть новые возможности, связанные с использованием дополнительных сигналов, в отношении уменьшения сложности и увеличения устойчивости к сбоям.

1. Предварительные замечания

Первая проблема, с которой приходится сталкиваться при синтезе асинхронных схем — проблема состязаний — нежелательных выбросов сигналов. Все известные подходы к построению схем без состязаний (будем их называть также схемами, устойчивыми к состязаниям), можно разбить на два класса в зависимости от того, какая модель асинхронных схем лежит в их основе: модель Хаффмена [1] или модель Маллера [2]. В модели Хаффмена схема имеет в дань теории конечных автоматов две части — комбинационную часть и множество обратных связей с задержками, при этом каждое соединение между вентилями вносит некоторую ограниченную задержку. Эту модель называют также моделью с ограниченными задержками в проводах [3]. В модели Маллера схема рассматривается как совокупность произвольно соединенных между собой элементов (вентилей), задержка, вносимая каждым из которых неограничена, т. е. может иметь произвольное конечное значение [4].

Как правило, известные подходы к синтезу схем, заданных поведением, так или иначе используют тот факт, что поведение задает в конечном счете значение булевских функций на некотором множестве наборов переменных, которые могут возникнуть в процессе функционирования схемы и которые принято называть достижимыми. Рассмотренную выше идею синтеза довольно редко удается реализовать в чистом виде по следующим причинам.

1. В исходном задании может быть скрыто противоречие, когда одно и то же достижимое состояние дважды входит в диаграмму состояний, а значения следующих состояний для различных вхождений не равны.

2. Если не принять специальных мер, то переменная может входить в уравнение как в прямом, так и в инверсном виде. Получение инверсного сигнала связано с использованием дополнительного элемента — инвертора. Инвертор имеет собственную задержку, которой не всегда можно пренебречь.

3. Достижимых состояний может оказаться так много, что даже их простое перечисление станет нереальной проблемой.

4. Даже когда число достижимых состояний ограничено одной тысячей, задача минимизации булевых функций может стать практически неразрешимой, если достижимые состояния составляют ничтожную долю векторов-состояний, на которых следует определить функцию.

Применим изложенный выше подход в чистом виде к синтезу одной из простейших асинхронных схем, заданных поведением, — счетного триггера (рис. 1). В результате мы получим нечто похожее на схему рис. 2. Сомнитель-

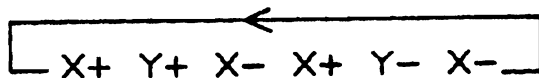


Рис. 1. Исходный СГ счетного триггера.

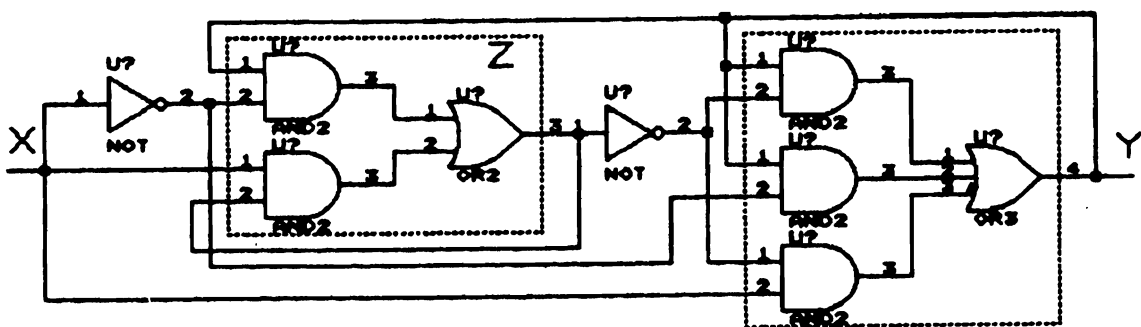


Рис. 2. Схема счетного триггера с использованием входных инверторов.

но, чтобы кто-либо воспользовался такой схемой счетного триггера в своих разработках, так как она будет удовлетворительно функционировать только при определенных ограничениях задержек инверторов X' и Z' . Разработчики скорее всего предпочтут воспользоваться хорошо себя зарекомендовавшей схемой рис. 3, устойчиво функционирующей при любых задержках составляющих ее вентилях.

Ниже мы кратко изложим метод, базирующийся на модели Маллера, который позволяет получить схемы с высокой устойчи-

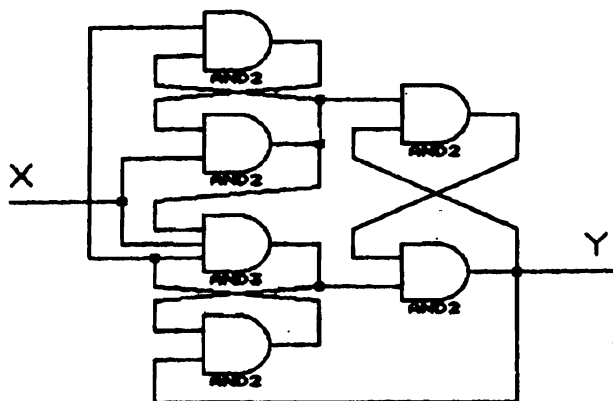


Рис. 3. Триггер Вебба в счетном режиме.

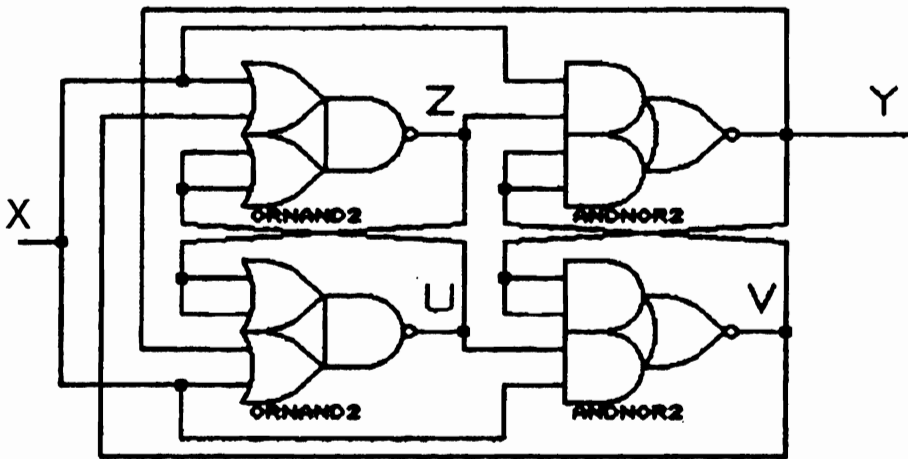


Рис. 4. Монотонная схема счетного триггера.

востью к сбоям при изменении задержек элементов в широких пределах. Для этого метода в случае со счетным триггером типичными оказываются следующие решения: приведенное на рис. 4, если решение ищется в базе сложных вентилей И-ИЛИ-НЕ, ИЛИ-И-НЕ, и решение, приведенное на рис. 3, если решение ищется в базе элементарных вентилей И-НЕ.

2. Классы устойчивости

Наш подход к синтезу основан на том, что получение схемы, обладающей теми или иными свойствами, может быть сведено к преобразованию исходного поведения к поведению, обладающему соответствующими свойствами. Теперь сформулируем предположения о свойствах элементов, из которых синтезируются рассматриваемые нами схемы.

Будем предполагать, что схема состоит из логических элементов и проводов, которые могут быть входными, выходными или внутренними. Логический элемент представляет собой единое целое и имеет неограниченную задержку. Логический элемент может иметь вид И-ИЛИ, ИЛИ-И, И-ИЛИ-НЕ, ИЛИ-И-НЕ; или же при ужесточении требований к нему как к неделимому целому: И, ИЛИ, И-НЕ, ИЛИ-НЕ. Задержки проводов удовлетворяют следующим не слишком жестким требованиям: для любых трех вентилей a , b , c задержка провода (a, b) должна быть меньше суммы трех задержек: проводов (a, c) и (c, b) и вентиля c

$$D(a, b) \leq D(a, c) + D(c, b) + D(c). \quad (1)$$

Назовем это неравенство неравенством треугольника задержек.

Исходя из вышеизложенного рассмотренные выше схемы можно отнести к трем различным классам устойчивости. Наибольшей устойчивостью обладают схемы, для которых гарантировано отсутствие состязаний при любых соотношениях задержек входящих в нее элементарных (т. е. типа И, И-НЕ, ИЛИ, ИЛИ-НЕ) вентилей. Обозначим этот класс через W . Меньшей устойчивостью к сбоям будут обладать схемы, в которых используются предположения, что и задержкой расширительных вентилей первого яруса также можно пренебречь. Например, для вентиля И-ИЛИ-НЕ таким расширительным вентиляем служит

вентиль И. Обозначим этот класс через EW . Еще меньшей устойчивостью обладают схемы, которые работоспособны только в предположении, что и задержкой каждого инвертора можно пренебречь. Обозначим соответствующий класс через IEW . Эти схемы работоспособны в предположении, что задержки в проводах удовлетворяют неравенству треугольника (1) или ими можно пренебречь.

3. Оценки сложности

Сравним схемы рис.2, 3 и 4 по сложности. Сравнение будем проводить по числу букв в уравнении, по числу транзисторных пар (для КМОП-схем) и по числу элементарных вентилях типа И, ИЛИ, И-НЕ, ИЛИ-НЕ. Результаты, полученные для трех упомянутых выше схем, представлены в табл.1.

Таблица 1

Оценка сложности схем счетного триггера

Схема	Класс	Параметр оценки		
		Число букв	Число транзисторных пар	Число элементарных вентилях
Рис. 2	IEW	10	18	9
Рис. 4	EW	12	16	8
Рис. 3	W	13	19	6

К счастью, пример счетного триггера не является исключением. По крайней мере еще для 24 рассмотренных нами тестовых примеров мы наблюдаем подобную картину при оценке в среднем. Усредненные для 24 тестовых примеров относительные характеристики представлены в табл. 2, аналогичной табл. 1. В ней приведено относительное увеличение средней сложности схем классов EW и W по отношению к классу IEW . Будем говорить, что поведение, соответствующее схеме IEW , EW или W класса, является соответственно IEW -, EW - или W -устойчивым. В работе [5] EW -устойчивое поведение названо нормальным, а схемы класса EW названы монотонными схемами.

Таблица 2

Средние оценки сложности схем для 24 тестовых примеров

Класс	Параметр оценки		
	Число букв	Число транзисторных пар	Число элементарных вентилях
IEW	1	1	1
EW	1,36	0,93	0,87
W	2,01	1,36	0,83

4. Замечания о методе

Не вдаваясь в детали использованного метода, поясним его суть еще на одном примере. Идея синтеза основана на том факте, что каждая схема помимо внешних сигналов, последовательность переключения которых не подлежит изменению, может содержать еще и дополнительные сигналы, переключение

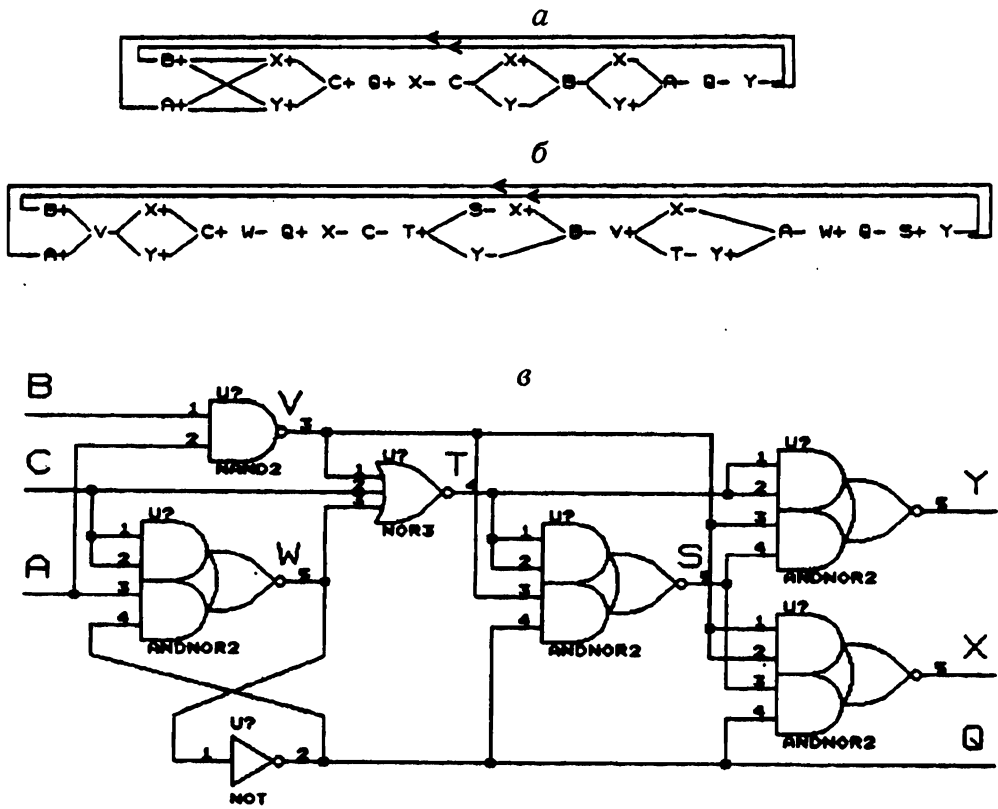


Рис. 5. Тестовый пример NOWICK.
 а—исходный СГ, б—детализированный СГ EW- поведения, в—схема класса EW.

которых не фиксировано априорно и которые в конечном счете служат для придания схеме тех или иных свойств устойчивости. Наш подход состоит в том, чтобы привести исходное поведение к поведению требуемого класса, прежде чем приступить к получению уравнений. На рис. 5, а представлено исходное

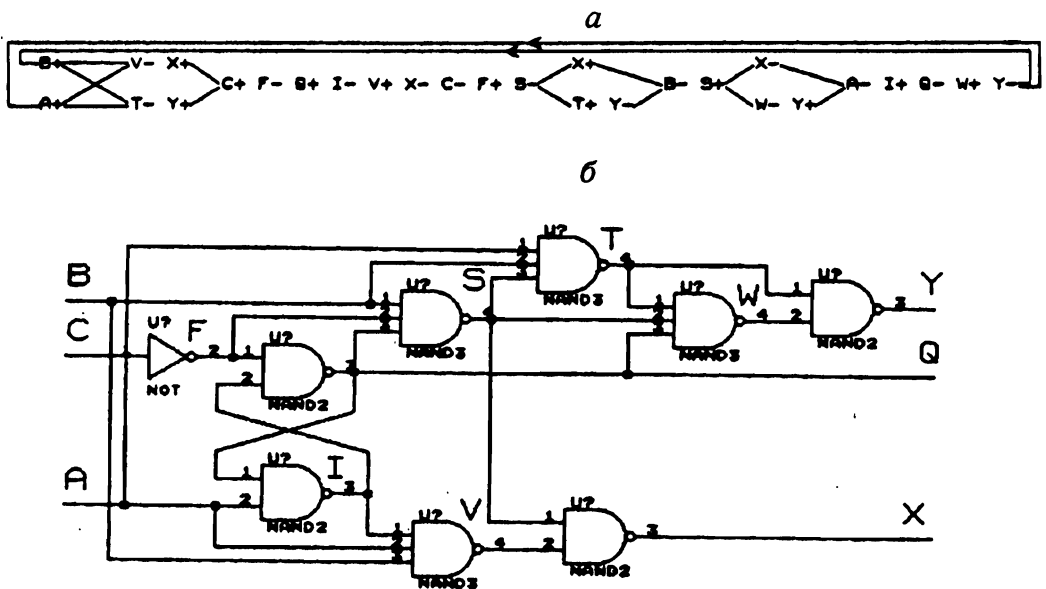


Рис. 6. Тестовый пример NOWICK.
 а—детализированный СГ W-поведения, б—схема класса W.

поведение для тестового примера NOWICK [3]. На рис. 5, б приведен вариант размещения дополнительных сигналов для получения *EW*-устойчивого поведения схемы NOWICK, которому соответствует минимальная схема (рис. 5, в). Для получения схемы *W*-класса потребовалось больше дополнительных сигналов (рис. 6).

Важной особенностью использованного нами метода является то, что он позволяет преобразовывать поведение, заданное в виде СГ, не прибегая к построению векторов-состояний. Благодаря этому удается обойти проблему, упомянутую в п. 3 разд. 1. Проблема минимизации булевых функций, упомянутая в п. 4 того же раздела, существенно упрощается для класса *EW* благодаря монотонности функций. Еще больше упрощается задача минимизации в случае схем класса *W*.

5. Анализ тестовых примеров

В табл. 3 представлены результаты синтеза схем в классах *EW* и *W* согласно методу, изложенному выше. Для сравнения приведены также результаты, полученные другими методами, которые, как оказалось, все без исключения относятся к классу *IEW*. Приведено также увеличение сложности схем относительно класса *IEW*. Все решения класса *IEW* были любезно представлены Л. Лаваньо, в бытность его аспирантом Калифорнийского университета в Беркли (США). Источником тестовых примеров послужили работы [3, 6]. В табл. 3 сложность схем оценивается числом транзисторных пар (т. п.), посчитанных для базового матричного кристалла XLD-2400.

Таблица 3

Сложность реализации 24 тестовых примеров для трех классов реализации

Тестовые примеры	Сложность				
	<i>IEW</i>	<i>EW</i>		<i>W</i>	
	Число т.п.	Число т.п.	Отнош.	Число т.п.	Отнош.
1	2	3	4	5	6
alloc-outbound	30	33	1,1	45	1,5
chuI33	27	25	0,93	28	1,04
chuI50	28	26	0,93	38	1,36
chuI72	17	16	0,94	21	1,24
converta	46	28	0,61	50	1,09
ebergen	26	23	0,88	42	1,62
full	21	22	1,05	35	1,67
hazard	19	19	1	32	1,68
hybridf	35	34	0,97	63	1,8
mp-forward-pkt	37	29	0,78	29	0,78
nak-pa	40	33	0,83	46	1,15
nowick	26	25	0,96	30	1,15
ram-read-sbuf	43	34	0,79	47	1,09
rcv-setup	17	17	1	22	1,29
rpdf	20	22	1,1	27	1,35
sbuf-ram-write	52	40	0,75	56	1,08
sbuf-read-ctl	31	32	1,03	36	1,16

Окончание таблицы 3

1	2	3	4	5	6
sbuf-send-cl1	37	38	1,03	55	1,49
sbuf-send-pkt2	35	32	0,91	46	1,31
sendr-done	12	11	0,92	11	0,92
trimos-send	66	72	1,09	111	1,68
vbeI0b	72	73	1,01	120	1,67
vbe5b	26	20	0,77	35	1,35
vbe5c	22	25	1,14	44	2
Средние хар-ки	—	—	0,93	—	1,36
Наихудшие хар-ки	—	—	1,14	—	2

Заключение

Не желая обременять составителя исходного задания требованием непротиворечивости этого задания, мы пришли к необходимости добавлять переключения дополнительных сигналов. Сделав этот шаг, мы вскоре обнаружили, что от того, как будет выполнено такое преобразование, оно может привести к *EW*- или *W*-устойчивому поведению. От этого может существенно зависеть не только устойчивость схемы, но и ее сложность, быстродействие, тестируемость и другие характеристики.

Рассмотрение тестовых примеров позволило нам сделать вывод, что повышение устойчивости схемы может быть достигнуто и без увеличения ее сложности. По крайней мере, это справедливо в отношении сравниваемых нами методов.

ЛИТЕРАТУРА

1. *Huffman D. A.* // Journ. of the Franklin Institute. 1954. N. 3,4. P. 161—190; 275—303.
2. *Миллер Р.* Теория переключательных схем. Т. 2. М., 1971.
3. *Lavagno L.* Synthesis and Testing of Bounded Wire Delay Asynchronous Circuits from Signal Transition Graphs // PhD thesis, U. C. Berkley, Nov. 1992 (tech. rep. UCB/ERL M92/140).
4. *Muller D. E.* // Proc. Symp. on Application of Switching Theory in Space Technology. Stanford, 1962. P. 289—297.
5. *Стародубцев Н. А.* Синтез схем управления параллельных вычислительных систем. Л., 1984.
6. *Stevens K. S., Robinson S. V., Davis A. L.* The Post Office — Communication Support for Distributed Ensemble Architectures // Sixth International Conference on Distributed Computing Systems. 1986.

Рукопись поступила 25.10.93