

**УДК 621.325**

**Ассоциативный параллельный процессор на ИМС средней степени интеграции. Носов В. Г. — В кн.: Приборы для научных исследований и автоматизации эксперимента. Л., «Наука», 1982, с. 182—189.**

**Рассматриваются вопросы построения ассоциативного параллельного процессора (АПП). Приводится сравнение классического арифметического устройства (АУ) и АПП. Построены зоны эффективного использования классического АУ и АПП. Лит. — 3 назв., ил. — 3, табл. — 3.**

## **АССОЦИАТИВНЫЙ ПАРАЛЛЕЛЬНЫЙ ПРОЦЕССОР НА ИМС СРЕДНЕЙ СТЕПЕНИ ИНТЕГРАЦИИ**

В теории и практике разработки приборов для научных исследований все большее место отводится средствам вычислительной техники, позволяющим автоматизировать процесс исследования. Одним из основных требований при проектировании средств вычислительной техники приборов для научных исследований является требование по производительности. Ассоциативные методы обработки информации обеспечивают высокую производительность при реализации хорошо распараллеливаемых алгоритмов, т. е. в случае, когда обработка ведется сразу по нескольким каналам [1].

В отечественной и иностранной литературе появилось множество работ, посвященных рассмотрению вопросов организации структурных схем ассоциативных параллельных процессоров (АПП) и вопросов, связанных с алгоритмами выполнения различных арифметических и логических операций с помощью АПП.

Данная работа преследует цель количественной оценки и сравнения АПП с классическими арифметическими устройствами, построенными на системах элементов различной степени интеграции, а также анализа этих двух типов устройств с точки зрения затрат по оборудованию и быстродействию.

Под ассоциативным параллельным процессором понимается вычислительное устройство, позволяющее выполнять арифметические и логические действия одновременно над большим количеством пар чисел и пред-

назначенное для групповой (параллельной) обработки массивов информации.

Структурная схема АПП представлена на рис. 1. Основными функциональными узлами АПП являются:

1) поле памяти или накопитель для хранения операндов, над которыми выполняется операция; накопитель АПП представляет собой ассоциативное запоминающее устройство, каждый элемент которого выполняет не только функцию хранения одного вида информации, но и функцию сравнения хранимой им информации с выходной информацией;

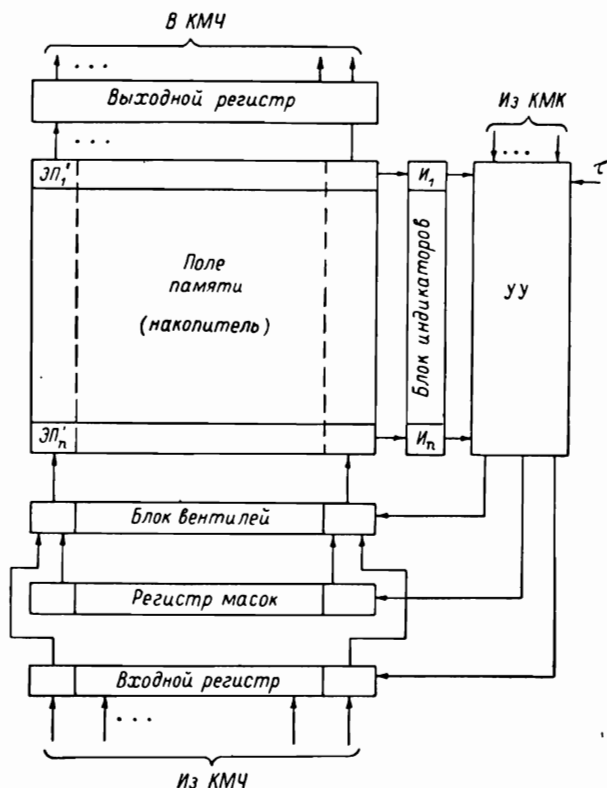


Рис. 1. Структурная схема ассоциативного параллельного процессора.

2) входной регистр для ввода исходной информации в накопитель АПП с кодовых магистралей чисел *КМЧ*; входной регистр управляется устройством управления АПП;

3) регистр масок для возможности маскирования некоторых разрядов входного регистра и тем самым формирования признаков, по которым ведется обработка информации;

4) выходной регистр для вывода информации из АПП на *КМЧ*;

5) блок индикаторов для фиксирования факта совпадения информации, содержащейся в накопителе, с входной информацией по определенным признакам; каждая строка накопителя имеет свой индикатор совпадения;

6) устройство управления *УУ* АПП — микропрограммный автомат, реализующий алгоритмы выполнения определенного набора операций в зависимости от кода команды, поступающей на его входы с кодовых магистралей команд *КМК*.

Все операции в АПП выполняются при помощи операции поразрядного сравнения информации, хранящейся в накопителе, с входной информацией. При выполнении арифметических и логических операций входную

информацию задает УУ по определенной микропрограмме данной операции.

Рассмотрим микропрограмму выполнения операции сложения, которая является фрагментом микропрограммы операции умножения. Микропрограмма выполнения операции сложения для одноразрядных двоичных чисел представлена в табл. 1.

Опрашиваемыми разрядами являются  $a_i$ ,  $b_i$  и  $p_{i-1}$ , где  $p_{i-1}$  — перенос из предыдущего  $(i-1)$ -го разряда. После микрокоманды опроса по данному признаку ( $a_i$ ,  $b_i$ ,  $p_{i-1}$ ) запись в выбранные строки накопителя осуществляется в разряды  $s_i$ ,  $p_i$ , где  $s_i$  — сумма разрядов  $a_i$ ,  $b_i$ ,  $p_{i-1}$  по модулю 2, а  $p_i$  — перенос в следующий  $(i+1)$ -й разряд.

В табл. 1 сумма  $s_i$  и перенос  $p_i$  записываются в свободные разряды памяти. Табл. 1 является избыточной как по объему памяти, так и по количеству микрокоманд.

Имеется возможность совместить зоны переносов  $p_i$  и  $p_{i-1}$  в одну — зону  $p$ . Это возможно, так как опрос и запись разнесены во времени.

Количество микрокоманд в табл. 1 сократим следующим образом [2]. Исключим те микрокоманды, которые не меняют содержимое свободной зоны. К ним относятся микрокоманды 1, 2, 11—14. Устройство управления АПШ дает возможность производить ряд последовательных опросов с последующей записью одной и той же информации во все выбранные по данным опросам строки накопителя.

Таблица 1  
Неминимальная микропрограмма операции сложения

№ микрокоманды	Микрокоманда	$a_i$	$b_i$	$p_{i-1}$	$p_i$	$s_i$
1	Опрос	0	0	0	—	—
2	Запись	—	—	—	0	0
3	Опрос	—	—	—	—	—
4	Запись	—	—	—	0	1
5	Опрос	0	1	0	—	—
6	Запись	—	—	—	0	1
7	Опрос	1	1	0	—	—
8	Запись	—	—	—	1	0
9	Опрос	0	0	1	—	—
10	Запись	—	—	—	0	1
11	Опрос	1	0	1	—	—
12	Запись	—	—	—	1	0
13	Опрос	0	1	1	—	—
14	Запись	—	—	—	1	0
15	Опрос	1	1	1	—	—
16	Запись	—	—	—	1	1

Таблица 2  
Минимизированная микропрограмма операции сложения

№ микрокоманды	Микрокоманда	$a_i$	$b_i$	$p$	$s$
1	Опрос	1	0	0	—
2	Запись	0	1	0	—
3	Опрос	0	0	1	—
4	Запись	—	—	0	1
5	Опрос	1	1	1	—
6	Запись	—	—	1	1
7	Опрос	1	1	0	—
8	Запись	—	—	1	0

В табл. 2 приведена преобразованная с учетом всего вышесказанного микропрограмма операций сложения.

Микропрограмма выполнения операции умножения строится на основе микропрограммы операции сложения. Микропрограмма сложения повторяется для каждого случая, когда разряд множителя оказывается равным единице.

Умножение чисел, представленных в прямом коде, производится обычным способом с помощью сложения ранее вычисленного частичного произведения с множимым и сдвигом полученного частичного произведения на один разряд. В конце умножения необходимо учесть знаки множимого и множителя для правильного определения знака произведения.

Умножение чисел, представленных в дополнительных кодах, осуществляется так же, как и умножение чисел, представленных в прямом коде, но с двумя корректирующими шагами.

Умножение  $n$ -разрядных пар операндов, представленных как в прямом, так и в дополнительных кодах, производится с записью частичных и окончательных произведений в свободную зону (зону произведений). При этом множимое фиктивно сдвигается в сторону младших разрядов, младшие разряды полученных частичных произведений учитываются при округлении, проводящемся на каждом шаге суммирования множимого и частичного произведения.

Пусть  $n$  — количество разрядов в сомножителях, а  $r$  — количество дополнительных разрядов, необходимых для округления. Программа округления строится так, чтобы каждый раз, когда за пределы  $n+r$  разрядов при сдвиге выдвигается единица, она добавляется перед началом очередного суммирования в младший разряд частичного произведения. Это осуществляется путем записи «1» в поле переноса соответствующей строки накопителя. Эта единица учитывается затем в последующем сложении. Выбор необходимого числа дополнительных разрядов приведен в [2].

Одной из часто встречающихся и наиболее «длинных» по времени операций в арифметических устройствах (АУ) можно считать операцию умножения. Все дальнейшие рассуждения и расчеты проводятся для этой операции. Как известно, для обеспечения возможности выполнения операции умножения с анализом разряда множителя классическое параллельное АУ должно содержать: регистр множителя, регистр множимого, регистр произведения, сумматор и схему управления. Для выполнения умножения более быстрыми методами требуются определенные дополнительные затраты оборудования.

Для АУ, построенных на элементах серии 133, удельные затраты по оборудованию в расчете на один разряд (в корпусах) составляют:

Однотактовый сдвиговый регистр ( $q_{Rc}$ ) . . . . .	3
Комбинационный сумматор ( $q_{\Sigma}$ ) . . . . .	3
Комбинационно-накапливающий сумматор ( $q_{\Sigma, n}$ ) . . . . .	5
Установочный регистр ( $q_R$ ) . . . . .	1
Добавочная цепь сдвига ( $q_{д.с}$ ) . . . . .	1.5

При анализе классических АУ рассматривались следующие методы выполнения операции умножения: с анализом одного разряда множителя с добавлением дополнительных цепей сдвига, с разделением множителя на две части, матричный метод.

Расчет времени выполнения операции умножения данными методами проводился по методике, приведенной в [3]. Данная методика опирается на характеристики элементной базы, что позволяет определить граничные временные характеристики определенного метода выполнения операции. Расчет проводится сначала для одного разряда, а затем проводится пересчет на полную разрядную сетку.

Время суммирования подсчитывается по формуле

$$\tau_{\Sigma} = n\tau_c + \tau_b,$$

где  $n$  — разрядность;  $\tau_c$  — задержка на один разряд переноса;  $\tau_b$  — время образования суммы.

Время умножения без применения логических методов можно подсчитать по формуле

$$T_{\text{умн}} = n\tau'_{\text{умн}},$$

где  $\tau'_{\text{умн}} = \tau_{\Sigma} + \tau_c$  — время умножения на один разряд множителя;  $\tau_c$  — время сдвига; обычно выбирают  $\tau_c = 1/2 \tau_{\Sigma}$ .

Затраты оборудования для данного метода можно подсчитать, используя приведенные выше удельные затраты по оборудованию:

$$Q_{\text{АУ}} = Q_A + Q_C + Q_{\Sigma_{\text{н.н}}} = nq_{R_c} + nq_{\text{д.с}} + (n+1)q_{\Sigma_{\text{н.н}}},$$

где  $Q_A$ ,  $Q_C$ ,  $Q_{\Sigma_{\text{н.н}}}$  — оборудование регистра множителя, регистра множимо-го, комбинационно-накапливающего сумматора соответственно.

Время выполнения операции умножения с введением дополнительных цепей сдвига и с анализом двух разрядов множителя рассчитывалось по формуле [3]  $\tau'_{\text{умн}} = \tau_{\Sigma} + 4/5 \tau_c$ .

Для данного метода требуются дополнительные затраты оборудования:  $\Delta Q = nq_{\text{д.с}}$ . Общие затраты по оборудованию  $Q = Q_{\text{АУ}} + \Delta Q$ .

При выполнении операции умножения методом деления множителя на две части время умножения по сравнению с основным методом уменьшается вдвое. Дополнительные затраты по оборудованию для данного метода равны  $\Delta Q = \Delta Q_{\Sigma} + \Delta Q_R = \frac{n}{2} q_{\Sigma_{\text{н.н}}} + \frac{n}{2} q_{R_c}$ .

Наиболее быстродействующим из классических АУ является матричное АУ. Данная схема АУ позволяет получить минимальное время умножения для 16-разрядных операндов 1.2 мкс на элементах серии 133 при затратах по оборудованию ~1000 корпусов.

Расчет затрат по оборудованию АПП без учета оборудования схемы управления проводится из расчета, что ассоциативный элемент памяти строится на двух корпусах серии 133. Для  $n$ -разрядных операндов строка накопителя АПП должна иметь следующую разрядность:

$$n_c = 3n + r,$$

где  $n$  — разрядность операндов;  $r$  — дополнительные разряды округления.

Оборудование накопителя можно оценить по формуле

$$Q_{\text{н}} = Nn_c q_{\text{н.п}},$$

где  $N$  — количество строк накопителя;  $n_c$  — разрядность строки накопителя;  $q_{\text{н.п}}$  — затраты на оборудование на один ассоциативный элемент памяти.

Как было показано выше, АПП должен иметь три регистра: входной регистр, регистр масок и выходной регистр. Затраты по оборудованию этих регистров подсчитываются по формуле

$$Q_R = n_c q_{\text{вх}} + n_c q_{\text{м}} + n_c q_{\text{вых}},$$

где  $q_{\text{вх}}$ ,  $q_{\text{м}}$ ,  $q_{\text{вых}}$  — затраты на оборудование на один разряд входного регистра, регистра масок, выходного регистра соответственно, причем  $q_{\text{вх}} = q_{\text{м}} = q_{R_c}$ ,  $q_{\text{вых}} = q_R$ .

АПП должен содержать блок индикаторов, затраты на оборудование которого равны  $Nq_{\text{внд}} = Q_{\text{внд}}$ .

Таблица 3

## Затраты по оборудованию и времени выполнения операции

Количество строк накопителя (N)	Оборудование (в корпусах)								Время на пару операций, мкс
	серия 133				серия 133 и «Лощман»				
	$Q_{\Pi}$	$Q_R$	$Q_{\text{нвд}}$	$Q_{\text{АПП}}$	$Q_{\Pi}$	$Q_R$	$Q_{\text{нвд}}$	$Q_{\text{АПП}}$	
10	1240	283	5	1528	775	36	5	118.5	6
20	2480	283	10	2773	155	36	10	161	3
30	2480	283	15	4018	232	36	15	284	2
60	74405	283	30	7753	465	36	30	531	1

Расчет оборудования для построения АПП проводился как для системы элементов серии 133 малой степени интеграции, так и для системы элементов средней степени интеграции серии 133 и «Лощман», представляющих

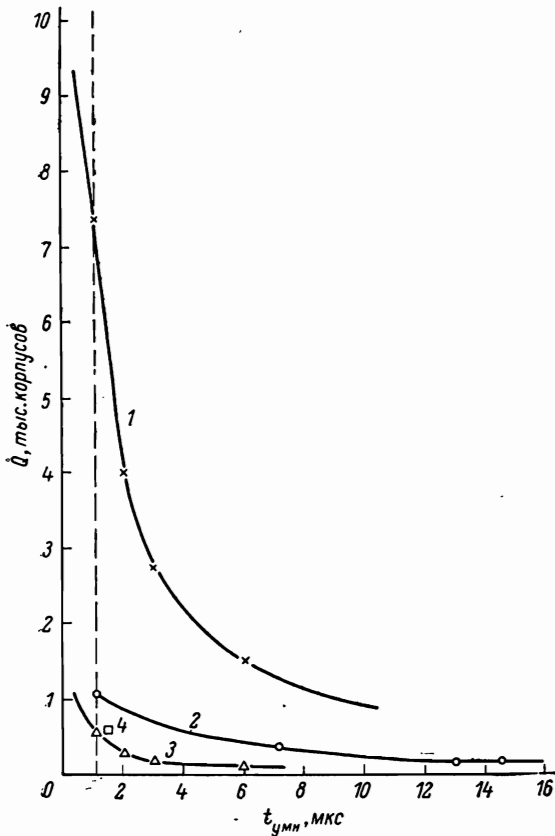


Рис. 2. Зависимость затрат по оборудованию от времени умножения при различных методах умножения.

ассоциативную память емкостью 8 бит в одном корпусе. Расчетные данные сведены в табл. 3.

На рис. 2 показаны затраты по оборудованию в зависимости от времени выполнения операции умножения. Кривая 1 характеризует рост затрат по оборудованию АПП, построенного на системе элементов серии 133 малой степени интеграции. Кривая 2 соответствует затратам по оборудованию классического АУ, построенного на той же системе элементов. Кривая 3 показывает рост затрат по оборудованию АПП, построенного на системе

элементов средней степени интеграции. Точка 4 соответствует затратам по оборудованию матричного АУ с использованием расширенной серии 133.

На рис. 3 приведены зависимости времени выполнения операции умножения от разрядности операндов. Кривая 1 соответствует классическому АУ, в котором используется метод умножения с анализом одного разряда множителя. Время умножения в данном случае выражается линейным законом

$$t_{\text{умн}} = (n - 1)\tau_{\text{сум}} + t_{\text{ск. пер}},$$

где  $\tau_{\text{сум}}$  — время задержки на комбинационном сумматоре;  $t_{\text{ск. пер}}$  — время сквозного переноса.

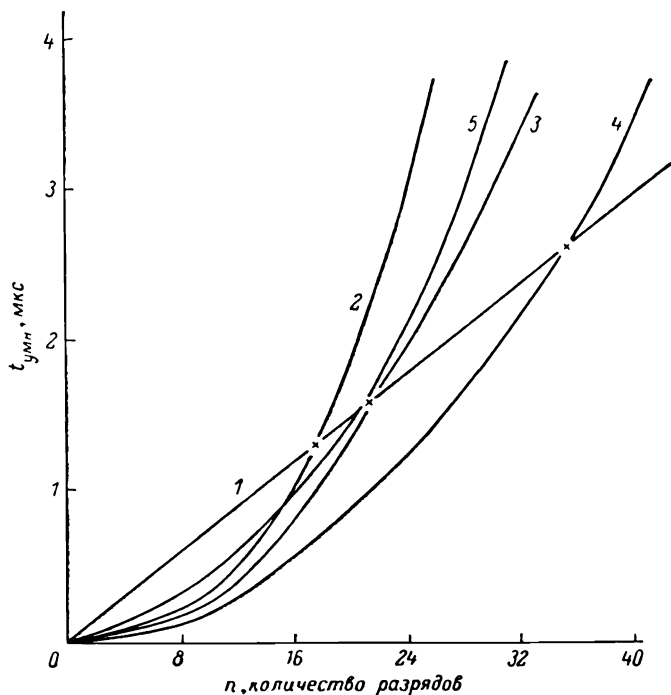


Рис. 3. Зоны эффективного использования АПП и классических АУ.

Время умножения в АПП подсчитывается по формуле [2]

$$t_{\text{умн}} = (2.5n^2 - 2r^2 - 3.5n - 3r + 4rn + 6)\tau,$$

где  $n$  — разрядность операндов;  $r$  — количество дополнительных разрядов округления;  $\tau$  — длительность тактового импульса.

Кривые 2, 3 и 4 получены с помощью данного выражения для 30, 40 и 60 строк накопителя соответственно. Кривая 5 показывает зависимость времени умножения от разрядности в матричной схеме умножения.

На основании проведенного в статье анализа могут быть сделаны следующие выводы.

1. Схема АПП, построенного на элементах малой степени интеграции, требует больших затрат по оборудованию в сравнении с классическими АУ, но позволяет получать значительно большее быстродействие в задачах, допускающих групповую обработку массивов данных (более 60 пар операндов). Классические АУ имеют граничное быстродействие для данных систем элементов в выполнении операций. Например, наиболее быстродействующая матричная схема АУ для 16-разрядных операндов, построенная на элементах серии 133, имеет быстродействие в выполнении операции умножения 1.2 мкс, поэтому при необходимости получить быстро-



действие выше указанного необходимо использовать схему АПП, если позволяют алгоритмы.

2. При использовании схем средней степени интеграции для построения АПП затраты по оборудованию становятся сравнимыми с затратами на построение классических АУ той же производительности. Современная технологическая база позволяет строить схемы АПП уже в настоящее время, используя элементы средней степени интеграции.

3. Зона эффективного применения АПП зависит от разрядности операндов, причем чем больше строк содержится в накопителе, тем она шире (рис. 3).

#### ЛИТЕРАТУРА

1. *Аверичев С. А., Архипов В. В., Аствадатуров Р. Г.*, ПТЭ, 1979, № 4, с. 57.
2. *Однородные микроэлектронные ассоциативные процессоры.* Под ред. И. В. Прангисвили. М., 1973.
3. *Карцев М. А.* Арифметика цифровых машин. М., 1969.